UNIVERSIDAD POLITECNICA DE LA ZONA METROPOLITANA DE GUADALAJARA



ING MECATRONICA

Enciso Guerrero Benjamin Salvador

Sistemas Embebidos

Carlos Enrique Moran Garabito.

I2C

8-B.

I2C significa Circuito Integrado (Por sus siglas en inglés Inter-Integrated Circuit) es un protocolo de comunicación serial desarrollado por Phillips Semiconductors allá por la década de los 80s. Se creó para poder comunicar varios chips al mismo tiempo dentro de los televisores.

El I2C toma e integra lo mejor de los protocolos SPI y UART. Con el I2C se puede tener a varios maestros controlando uno o múltiples esclavos. Esto puede ser de gran ayuda cuando se van a utilizar varios microcontroladores para almacenar un registro de datos hacia una sola memoria o cuando se va a mostrar información en una sola pantalla.

El I2C utiliza sólo dos vías o cables de comunicación, así como también lo hace el protocolo UART.

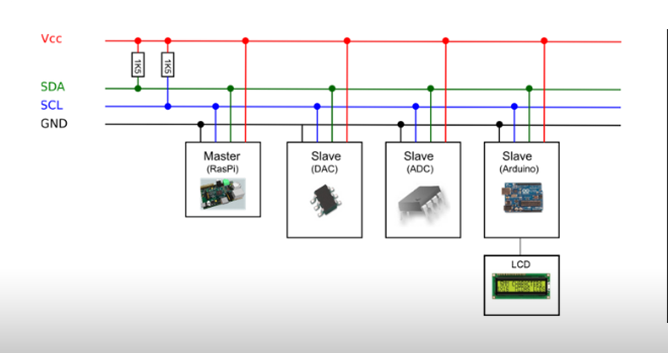


Imagen. 1 Protocolo de comunicación serial.

**Definición de términos**

**Maestro (Master):** Dispositivo que determina los tiempos y la dirección del tráfico en el bus. Es el único que aplica los pulsos de reloj en la línea **SCL**. Cuando se conectan varios dispositivos maestros a un mismo bus la configuración obtenida se denomina «multi-maestro».

**Esclavo (Slave):** Todo dispositivo conectado al bus que no tiene la capacidad de generar pulsos de reloj. Los dispositivos esclavos reciben señales de comando y de reloj generados desde el maestro.

**Bus libre (Bus Free):** Estado en el que ambas líneas (**SDA**y **SCL**) están inactivas, presentando un estado lógico alto. Es el único momento en que un dispositivo maestro puede comenzar a hacer uso del bus.

**Comienzo (Start):** Se produce cuando un dispositivo maestro ocupa el bus, generando la condición. La línea de datos (**SDA**) toma un estado bajo mientras que la línea de reloj (**SCL**) permanece alta.

**Parada (Stop):** Un dispositivo maestro puede generar esta condición, dejando libre el bus. La línea de datos y la de reloj toman un estado lógico alto.

**Dato válido (Valid Data):** Situación presente cuando un dato presente en la línea **SDA** es estable al tiempo que la línea **SCL** está a nivel lógico alto.

**Formato de Datos (Data Format):** La transmisión de un dato a través de este bus consiste de 8 bits de dato (1 byte). A cada byte transmitido al bus le sigue un noveno pulso de reloj durante el cual el dispositivo receptor del byte debe generar un pulso de reconocimiento.

**Reconocimiento (Acknowledge):** El pulso de reconocimiento, conocido como ACK (del inglés Acknowledge), se logra colocando la línea de datos a un nivel lógico bajo durante el transcurso del noveno pulso de reloj.

**Dirección (Address):** Todo dispositivo diseñado para funcionar en este bus posee su propia y única dirección de acceso, preestablecida por el fabricante. Hay dispositivos que permiten definir externamente parte de la dirección de acceso, lo que habilita que se pueda conectar en un mismo bus un conjunto de dispositivos del mismo tipo, sin problemas de identificación. La dirección 00 es la denominada «de acceso general»; a ésta responden todos los dispositivos conectados al bus.

**Lectura/Escritura (Bit R/W):** Cada dispositivo tiene una dirección de 7 bits. El octavo bit (el menos significativo) que se envía durante la operación de direccionamiento, completando el byte, indica el tipo de operación a realizar. Si este bit es alto el dispositivo maestro lee información proveniente de un dispositivo esclavo. Si este bit es bajo, el dispositivo maestro escribe información en un dispositivo esclavo.

Descripción y características de las señales

SCL (System Clock) es la línea de los pulsos de reloj que sincronizan el sistema.

SDA (System Data) es la línea por la que se mueven los datos entre los dispositivos.

GND (Masa) común de la interconexión entre todos los dispositivos «enganchados» al bus.

Descripción

Las líneas SDA y SCL son del tipo drenaje abierto, es decir, un estado similar al de colector abierto, pero asociadas a un transistor de efecto de campo (o FET). Se deben polarizar en estado alto (conectando a la alimentación por medio de resistores «pull-up») lo que define una estructura de bus que permite conectar en paralelo múltiples entradas y salidas.

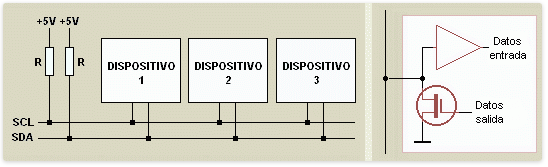


Imagen. 2Las líneas SDA y SCL.